

(5)
1/10

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-69465

(P2001-69465A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int. Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 4 N	5/92	H 0 4 N	5/92
	5/225		5/225
	5/91		5/91
	7/24		7/13
			Z

審査請求 未請求 請求項の数22 O L (全 10 頁)

(21) 出願番号 特願平11-240905

(22) 出願日 平成11年8月27日 (1999.8.27)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 本間 義浩

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090284

弁理士 田中 常雄

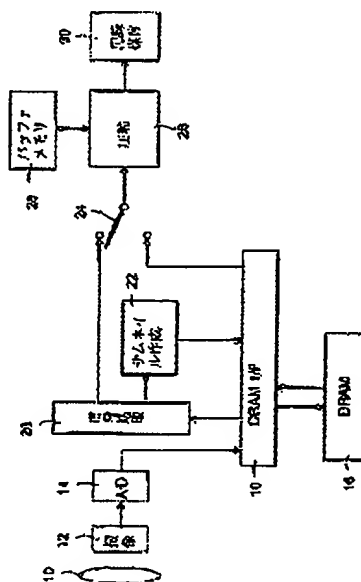
最終頁に続く

(54) 【発明の名称】 画像処理装置及び方法並びに記憶媒体

(57) 【要約】

【課題】 綺麗なサムネイル画像を迅速に作成する。

【解決手段】 撮像素子12は、撮影レンズ10の光学像を電気信号に変換し、A/D変換器14が撮像素子12の出力をデジタル化する。A/D変換器14の出力データ(原画像データ)はDRAM16に一時記憶される。信号処理回路20は原画像データにカメラ信号処理を施して輝度データと色差データを生成する。サムネイル作成回路22は、回路20の出力を水平方向及び垂直方向に積分してサムネイル画像を作成する。そのサムネイル画像はDRAM16に格納される。はスイッチ24は、当初、信号処理回路20の出力を選択して圧縮回路26に供給し、その後DRAM16からのサムネイル画像データを選択して圧縮回路26に供給する。圧縮回路26は入力画像データをJPE C方式で圧縮して記録媒体30に記録する。



【特許請求の範囲】

【請求項1】 画像データを入力する画像データ入力手段と、

当該画像データ入力手段により入力される画像データに所定の信号処理を施す信号処理手段と、

当該信号処理手段の出力画像から所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成手段と、

与えられた画像データを圧縮する画像圧縮手段と、

当該縮小画像生成手段及び当該圧縮手段とを並行して動作させる制御手段とを有することを特徴とする画像処理装置。

【請求項2】 当該画像データ入力手段が、画像データを記憶する記憶手段と、当該記憶手段に記憶される当該画像データを、所定サイズのブロック単位で順に読み出して当該信号処理手段に供給する読み出し手段とからなる請求項1に記載の画像処理装置。

【請求項3】 当該縮小画像生成手段が、当該信号処理手段の出力画像を水平方向の所定画素数にわたり積分すると共に、垂直方向の所定ライン数にわたり積分する積分手段を具備する請求項1に記載の画像処理装置。

【請求項4】 当該画像データ入力手段が、光学像を電気信号に変換する撮像手段と、当該撮像手段のアナログ出力をディジタル信号に変換するA/D変換手段と、当該A/D変換手段の出力データを一時記憶するメモリ手段とを具備する請求項1に記載の画像処理装置。

【請求項5】 入力画像データに所定の信号処理を施す信号処理ステップと、

当該信号処理ステップによる画像データから所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成ステップと、

当該信号処理ステップによる画像データを画像圧縮する圧縮ステップと、

当該縮小画像生成ステップ及び当該圧縮ステップを同時に動作させる制御ステップとからなることを特徴とする画像処理方法。

【請求項6】 更に、記憶手段に記憶される画像データを、所定サイズのブロック単位で順に読み出して当該信号処理ステップの当該入力画像データとする画像供給ステップを具備する請求項5に記載の画像処理方法。

【請求項7】 当該縮小画像生成ステップが、当該信号処理ステップによる画像データを水平方向の所定画素数にわたり積分すると共に、垂直方向の所定ライン数にわたり積分する積分ステップを具備する請求項5に記載の画像処理方法。

【請求項8】 更に、光学像を電気信号に変換する撮像ステップと、当該撮像ステップにより得られたアナログ画像信号をディジタル信号に変換するA/D変換ステップと、当該A/D変換ステップによる画像データをメモリに一時記憶して、当該信号処理ステップの当該入力画

像データとする記憶ステップとを具備する請求項5に記載の画像処理方法。

【請求項9】 入力画像データに所定の信号処理を施す信号処理ステップと、

当該信号処理ステップによる画像データから所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成ステップと、

当該信号処理ステップによる画像データを画像圧縮する圧縮ステップと、

当該縮小画像生成ステップ及び当該圧縮ステップを同時に動作させる制御ステップとからなる画像処理方法を実行するプログラム・ソフトウェアを記憶することを特徴とする記憶媒体。

【請求項10】 当該画像処理方法が更に、記憶手段に記憶される画像データを、所定サイズのブロック単位で順に読み出して当該信号処理ステップの当該入力画像データとする画像供給ステップを具備する請求項9に記載の記憶媒体。

【請求項11】 当該縮小画像生成ステップが、当該信号処理ステップによる画像データを水平方向の所定画素数にわたり積分すると共に、垂直方向の所定ライン数にわたり積分する積分ステップを具備する請求項9に記載の記憶媒体。

【請求項12】 画像データを入力する画像データ入力手段と、

当該画像データ入力手段により入力される画像データに所定の信号処理を施す信号処理手段と、

当該信号処理手段の出力画像から所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成手段と、

当該信号処理手段の出力画像及び当該縮小画像生成手段の出力画像の一方を選択する選択手段と、

当該選択手段により選択された画像データを圧縮する画像圧縮手段と、

当該画像圧縮手段の出力を記録する記録媒体とからなり、当該信号処理手段の出力画像の圧縮画像データと、

当該縮小画像生成手段により生成される縮小画像の圧縮画像データを当該記録媒体に記録することを特徴とする画像処理装置。

【請求項13】 当該画像データ入力手段が、画像データを記憶する記憶手段と、当該記憶手段に記憶される当該画像データを、所定サイズのブロック単位で順に読み出して当該信号処理手段に供給する読み出し手段とからなる請求項12に記載の画像処理装置。

【請求項14】 当該縮小画像生成手段が、当該信号処理手段の出力画像を水平方向の所定画素数にわたり積分すると共に、垂直方向の所定ライン数にわたり積分する積分手段を具備する請求項12に記載の画像処理装置。

【請求項15】 当該画像データ入力手段が、光学像を電気信号に変換する撮像手段と、当該撮像手段のアナ

グ出力をディジタル信号に変換するA/D変換手段と、当該A/D変換器の出力データを一時記憶するメモリ手段とを具備する請求項12に記載の画像処理装置。

【請求項16】 入力画像データに所定の信号処理を施す信号処理ステップと、

当該信号処理ステップによる画像データから所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成ステップと、

当該信号処理ステップによる画像データを画像圧縮する第1の圧縮ステップと、

当該縮小画像生成ステップによる縮小画像データを画像圧縮する第2の圧縮ステップと、

当該第1及び第2の圧縮ステップで圧縮された画像データを記録媒体に記録する記録ステップとからなることを特徴とする画像処理方法。

【請求項17】 更に、記憶手段に記憶される画像データを、所定サイズのブロック単位で順に読み出して当該信号処理ステップの当該入力画像データとする画像供給ステップを具備する請求項16に記載の画像処理方法。

【請求項18】 当該縮小画像生成ステップが、当該信号処理ステップによる画像データを水平方向の所定画素数にわたり積分すると共に、垂直方向の所定ライン数にわたり積分する積分ステップを具備する請求項16に記載の画像処理方法。

【請求項19】 更に、光学像を電気信号に変換する撮像ステップと、当該撮像ステップにより得られたアナログ画像信号をディジタル信号に変換するA/D変換ステップと、当該A/D変換ステップによる画像データをメモリに一時記憶して、当該信号処理ステップの当該入力画像データとする記憶ステップとを具備する請求項16に記載の画像処理方法。

【請求項20】 入力画像データに所定の信号処理を施す信号処理ステップと、

当該信号処理ステップによる画像データから所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成ステップと、

当該信号処理ステップによる画像データを画像圧縮する第1の圧縮ステップと、

当該縮小画像生成ステップによる縮小画像データを画像圧縮する第2の圧縮ステップと、

当該第1及び第2の圧縮ステップで圧縮された画像データを記録媒体に記録する記録ステップとからなる画像処理方法を実行するプログラム・ソフトウェアを記憶することを特徴とする記憶媒体。

【請求項21】 当該画像処理方法が更に、記憶手段に記憶される画像データを、所定サイズのブロック単位で順に読み出して当該信号処理ステップの当該入力画像データとする画像供給ステップを具備する請求項20に記載の記憶媒体。

【請求項22】 当該縮小画像生成ステップが、当該信

号処理ステップによる画像データを水平方向の所定画素数にわたり積分すると共に、垂直方向の所定ライン数にわたり積分する積分ステップを具備する請求項20に記載の記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像処理装置及び方法並びに記憶媒体に関し、特に、主画像を圧縮すると共にそのサムネイル画像を作成する画像処理装置及び方法並びに記憶媒体に関する。

【0002】

【従来の技術】 画像データの圧縮方式としてJPEG方式が知られている。JPEG方式は多くのディジタルスチルカメラで採用されている。JPEG方式では、画像データを所定サイズのブロックに分割し、そのブロック単位で離散コサイン変換、量子化、及び可変長符号化する。

【0003】 ディジタルスチルカメラのファイルフォーマット上、撮影画の主画像と一緒にサムネイル画像を圧縮記録する必要がある。このため、従来では、主画像の圧縮記録の後に、サムネイル画像を作成し、圧縮記録する。サムネイル画像の作成のために、メモリから主画像データを読み出し、それをカメラ信号処理したデータを再びメモリに書き込んでいる。

【0004】

【発明が解決しようとする課題】 従来例では、この書き込み及び読み出しにより、撮影開始から記録完了までの時間が長くなるという問題点がある。その結果、撮影のタイムラグが長くなり、速写撮影のコマ数が少なくなる。

【0005】 また、リサイズで六幅に間引いてサムネイル画像を作成するので、折り返しノイズが発生し、綺麗なサムネイル画像を得ることが困難であった。綺麗なサムネイル画像を作成するには、次数の多いディジタルLPF（ローパスフィルタ）を必要とするが、そのようなディジタルLPFをハードウェアで実装すると非常に回路規模が大きくなり、ソフトウェアで実現すると長い時間がかかる。

【0006】 本発明は、このような問題点を解決し、より迅速にサムネイル画像を作成する画像処理装置及び方法並びに記憶媒体を提供することを目的とする。

【0007】 本発明はまた、綺麗なサムネイル画像をより迅速に作成する画像処理装置及び方法並びに記憶媒体を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明に係る画像処理装置は、画像データを入力する画像データ入力手段と、当該画像データ入力手段により入力される画像データに所定の信号処理を施す信号処理手段と、当該信号処理手段の出力画像から所定サイズに縮小した縮小画像データを

生成し、一時記憶する縮小画像生成手段と、与えられた画像データを圧縮する画像圧縮手段と、当該縮小画像生成手段及び当該圧縮手段とを並行して動作させる制御手段とを有することを特徴とする。

【0009】本発明に係る画像処理方法は、入力画像データに所定の信号処理を施す信号処理ステップと、当該信号処理ステップによる画像データから所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成ステップと、当該信号処理ステップによる画像データを画像圧縮する圧縮ステップと、当該縮小画像生成ステップ及び当該圧縮ステップを同時に動作させる制御ステップとからなることを特徴とする。

【0010】本発明に係る画像処理装置は、画像データを入力する画像データ入力手段と、当該画像データ入力手段により入力される画像データに所定の信号処理を施す信号処理手段と、当該信号処理手段の出力画像から所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成手段と、当該信号処理手段の出力画像及び当該縮小画像生成手段の出力画像の一方を選択する選択手段と、当該選択手段により選択された画像データを圧縮する画像圧縮手段と、当該画像圧縮手段の出力を記録する記録媒体とからなり、当該信号処理手段の出力画像の圧縮画像データと、当該縮小画像生成手段により生成される縮小画像の圧縮画像データを当該記録媒体に記録することを特徴とする。

【0011】本発明に係る画像処理方法は、入力画像データに所定の信号処理を施す信号処理ステップと、当該信号処理ステップによる画像データから所定サイズに縮小した縮小画像データを生成し、一時記憶する縮小画像生成ステップと、当該信号処理ステップによる画像データを画像圧縮する第1の圧縮ステップと、当該縮小画像生成ステップによる縮小画像データを画像圧縮する第2の圧縮ステップと、当該第1及び第2の圧縮ステップで圧縮された画像データを記録媒体に記録する記録ステップとからなることを特徴とする。

【0012】本発明に係る記録媒体には、上述の画像処理方法を実行するプログラム・ソフトウェアが格納される。

【0013】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。

【0014】図1は、本発明の一実施例の概略構成ブロック図を示す。10は撮影レンズ、12は撮影レンズ10による光学像を電気信号に変換する撮像素子、14は撮像素子12から出力されるアナログ画像信号をデジタル信号に変換するA/D変換器である。

【0015】16は、A/D変換器14から出力される画像データ、サムネイル画像データを一時記憶するDRAM、18は、DRAM16にデータを読み書きするD*

*RAMインターフェース、20は、DRAM16に一時記憶され、DRAMインターフェース18により読み出されたA/D変換器14の出力画像データにカメラ信号処理を施す信号処理回路である。すなわち、信号処理回路20は、DRAM16から読み出された画像データから、色キャリブ除去、アパーチャ補正及びガンマ処理等により輝度データYを生成すると共に、色補間、マトリクス変換、ガンマ処理及びゲイン調整等により色差データU、Vを生成する。

【0016】22は、信号処理回路20から出力されるカメラ信号処理された画像データ（主画像データ）を2次元フィルタ処理しながらリサイズし、サムネイル画像を作成するサムネイル作成回路である。サムネイル作成回路22により作成されたサムネイル画像は、DRAMインターフェース18によりDRAM16に一時格納され、読み出されてセレクタ24のB接点に供給される。セレクタ24のA接点には、信号処理回路20から出力される主画像データが印加される。

【0017】26は、画像データをJPEG方式で圧縮する圧縮回路、28は、圧縮回路26による画像圧縮の前処理として、画像データをラスタ順からブロック順に変換するのに使用されるバッファメモリである。バッファメモリ28の容量は、圧縮対象の画像データの水平画素数分、必要になる。本実施例では、撮影画像データをDRAM16に一時格納し、分割して読み出して、信号処理回路20によるカメラ信号処理及び圧縮回路26による圧縮を行なうので、バッファメモリ28の容量は小さくて済む。このような圧縮方法は、例えば、特願平10-6011号に記載されている。30は、圧縮回路26により圧縮された画像データ（主画像データとサムネイル画像データ）を記録する記録媒体であり、例えば、CF（コンパクトフラッシュ）カード及びPCカード等からなる。

【0018】例えば、撮像素子12による撮影画像の画素数が200万画素オーダーであるとき、ラスタ/ブロック変換に必要な一般的なバッファ容量は、以下の計算式で求まる。画像データが水平1600画素、垂直1200ライン、JPEG方式の成分割りがY:U:V=4:2:2、YUVの輝度と色差がそれぞれ8ビット、画像の分割が水平4分割、垂直2分割の場合、1分割の水平方向の画素数Haは、

$$H_a = 1600 / 4$$

$$= 400$$

1分割の垂直方向の画素数Vaは、

$$V_a = 1200 / 2$$

$$= 600$$

となり、ラスタ/ブロック変換に必要なバッファ容量Qは、

$$Q = V_a \times H_a \times ((Y \text{ のビット数 }) + (U \text{ のビット数 }) + (V \text{ のビット数 }))$$

$$\begin{aligned}
 &7 \\
 &= 100 \times 400 \times 16 \text{ ビット} \\
 &= 640000 \text{ ビット} \\
 &= 80 \text{ kバイト}
 \end{aligned}$$

となる。

【0019】図2は、サムネイル作成回路22の概略構成ブロック図を示す。処理成分用と色差成分用の2系統ある。処理成分用を先ず説明する。40は処理データYの水平画素積分用の加算器。42は、加算器40の出力データを一時記憶するラッチ回路（Dフリップフロップ）である。ラッチ回路42は、水平方向の1画素が入力される度に1画素前のデータを出力する。加算器40は入力データにラッチ回路42の出力を加算し、加算結果をラッチ回路42に印加する。加算器40及びラッチ回路42は、水平方向のアクミューレータを構成する。

【0020】前述のように、200万画素の画像データを水平4分割、垂直12分割してカメラ信号処理する場合、カメラ信号処理回路20のYUV出力データを水平に10画素、垂直に10ラインの領域でYとUVで別々に積分すると、水平160画素×垂直120ラインのサムネイル画像を作成できる。

【0021】44はラッチ回路42の13ビットの出力データを6ビット、5ビット、4ビット及び3ビットそれぞれ右シフトしたデータの何れかを、レジスタ46の設定値B_SELに従って選択するデータビットセレクタである。すなわち、データビットセレクタ44により、ラッチ回路42の出力データを所望のビット量だけ右シフトする。つまり、加算器40及びラッチ回路42による累積結果を2のべき乗で除算し、これにより、ライン方向の積分回路のビット幅を狭くして積分回路全体の規模を適切に削減している。

【0022】加算器48及び垂直遅延回路50は、データビットセレクタ44の出力データを垂直方向で累積加算する。すなわち、加算器48は、データビットセレクタ44の出力データに垂直遅延回路50の出力データを加算し、加算結果を垂直遅延回路50に供給する。垂直遅延回路50は1ライン分の遅延線からなる。平均化回路52は、垂直遅延回路50の出力を積分画素数で除算。入力画像と同じ階調（ビット幅）のサムネイル画像のY成分を出力する。

【0023】UV成分の回路構成も、基本的にY成分用と同じである。但し、水平方向の累積加算では、2つのラッチ回路56、58をシリアルに接続し、加算器54は、後段側のラッチ回路58の出力を入力に加算して、ラッチ回路56に印加する。ラッチ回路56、46も、ラッチ回路42と同様に、水平方向の1画素が入力される度に1画素前のデータを出力する。UV成分は、1画素おきにU成分とV成分が交替するので、水平ラッチ回路を2個シリーズに接続して、U成分とV成分を別々に積分する。

【0024】データビットセレクタ60は、データビッ

トセレクタ44と同様に、レジスタ46の設定値に従い、ラッチ回路58の出力データの所定ビット数だけ右ビットシフトする。加算器62及び垂直遅延回路64は、加算器48及び垂直遅延回路50と同様に動作して、データビットセレクタ60の出力データを垂直方向で累積加算する。平均化回路66は、垂直遅延回路64の出力を積分画素数で除算。入力画像と同じ階調（ビット幅）のサムネイル画像のUV成分を出力する。

【0025】平均化回路52、66の除算は、2のべき乗の右ビットシフトと0から1倍までの小数乗算の組み合わせで実現している。これにより、回路を小さくできる。図3は、平均化回路52の概略構成ブロック図を示す。平均化回路66の構成も、平均化回路52と同じである。

【0026】入力端子70には、垂直遅延回路50の出力データが入力する。入力端子70は、前段での積分データがオーバーフローしないように12ビット幅を持っている。リミッタ72は、入力端子70からの12ビット（b11～b0）のデータの内のビットb10～b3を抽出し、ビットb11が「1」のときにはFFhを出力する。リミッタ回路74は、入力端子70からの12ビット（b11～b0）のデータの内のビットb9～b2を抽出し、ビットb11又はb10が「1」のときにはFFhを出力する。リミッタ回路76は、入力端子70からの12ビット（b11～b0）のデータの内のビットb8～b1を抽出し、ビットb11、b10又はb9が「1」のときにはFFhを出力する。リミッタ回路78は、入力端子70からの12ビット（b11～b0）のデータの内のビットb7～b0を抽出し、ビットb11、b10、b9又はb8が「1」のときにはFFhを出力する。

【0027】セレクタ80は、レジスタ82の設定値SEL_REGに従って、接点80a～80eの入力データを選択する。接点80aには、入力端子70からの12ビット（b11～b0）のデータの内のビットb11～b4が入力する。接点80b～80eにはそれぞれ、リミッタ72～78の出力データが入力する。例えば、SEL_REG="000"のとき、セレクタ80は接点80eを選択する。このとき、入力に対して等倍の出力になる。SEL_REG="001"のときには、セレクタ80は接点80dを選択する。このとき、入力に対し1/2倍の出力になる。SEL_REG="010"のときには、セレクタ80は接点80cを選択する。このとき、入力に対し1/4倍の出力になる。SEL_REG="011"のときには、セレクタ80は、接点80bを選択する。このとき、入力に対し1/8倍の出力になる。SEL_REG="100"のときには

は、セレクタ80は、接点80aを選択する。このとき、入力に対し1/16倍の出力になる。

【0028】乗算器84は、セレクタ80の出力にレジスタ86の設定値Gain_regを乗算した後、7ビット右シフトする。Gain_regは8ビットであり、Gain_regの乗算と7ビット右シフトにより、セレクタ80の出力データに1倍から2倍の範囲で1から2倍までの乗算を行なうことができる。乗算器84の出力データは、出力端子88から外部に出力される。

【0029】平均化回路52、66の動作の具体例を説明する。一例が1/16に縮小されるサムネイル画像を作成する時には、水平に10画素ずつ積分するので、B_SELレジスタ46に"11"を設定して、セレクタ44、60に1/8データを選択させる。データセレクタ44、60の出力は1画素の10/8倍になる。垂直に10ラインずつ積分するので、sel_reg="100"に設定し、データセレクタ80に1/16倍出力を選択させる。これで10/16倍になる。この段階で、1画素の100/128(25/32)倍になる。Gain_reg="A4h"として、乗算器84が、データセレクタ70の出力32/25(1.28)倍する。以上の平均化により、出力端子88から出力される画像データは、サムネイル作成回路22の入力画像と同じ階調(ビット幅)のサムネイル画像になる。

【0030】図1に戻って、動作を説明する。サムネイル作成回路22の出力は、DRAMインターフェース18を介してDRAM16に書き込まれる。セレクタ24は、信号処理回路20によりカメラ信号処理された主画像データを圧縮するときには、信号処理回路20の出力を選択し、サムネイル画像を圧縮するときには、DRAMインターフェース18からのデータ(サムネイル画像データ)を選択する。

【0031】図4を参照して、分割処理時の動作を説明する。図4は、分割処理におけるサムネイル画像作成の模式図を示す。図4(a)は、全体画像から水平4分割、垂直12分割した場合の分割図を示し、同(b)は同様の分割処理でサムネイル画像を作成する場合の分割図を示す。

【0032】前述したように、原画像データ(A/D変換器14の出力画像データ)が水平1600画素、垂直1200ラインであり、水平に4分割、垂直に12分割して処理していく場合、1分割処理の単位は水平400画素×垂直100ラインになる。この分割処理の単位でDRAM16から原画像データを読み出し、信号処理部回路20に印加する。信号処理回路20は、この入力画像データをY:U:V=4:2:2のYUV画像データに変換する。YUV画像データは、セレクタ24により選択され、圧縮回路26によりJPEG方式で圧縮されて記録媒体30に記録される。

【0033】信号処理回路20で生成されたYUV画像データは、サムネイル作成回路22にも印加される。図4(a)に示すように、DRAM16から原画像データを読み出して信号処理回路20に供給するときには、分割単位は、水平400画素×垂直100ラインになり、1画面ではそれが48ブロック存在する。サムネイル作成回路22は、水平400×垂直100ラインの入力YUV画像を水平に10画素ずつ、垂直に10ラインずつ積分し平均化するので、水平40画素×垂直10ラインのYUV画像データを出力する。このYUV画像データは、DRAMインターフェース16によりDRAM16に書き込まれる。

【0034】分割ブロックの処理順は、図4(a)に示すように、左最上部が最初の処理ブロックになり、続いて最上部の右隣が第2の処理ブロックになる。更に続いて右隣が第3のブロックになり、その右隣が第4のブロックになる。水平方向に4ブロック存在するので、次は一つ下の最左部が第5のブロックになる。以降、水平方向に処理していき、右端のブロックの次には下の左端のブロックへと処理を進めていく。サムネイル作成回路22にもこのブロック順で画像データが入力し、サムネイル画像が作成されていくので、DRAM16上には、左上から順に水平方向に4ブロックずつ書き込まれる。全てのブロックの処理が完了したときには、DRAM16上には、図4(b)に示すような水平160画素×垂直120ラインのサムネイルYUV画像データが格納されている。

【0035】主画像データの圧縮記録が完了した後、セレクタ24をDRAMインターフェース18側に切り換え、DRAM16からサムネイル画像データを読み出す。圧縮回路26はセレクタ24からのサムネイル画像データをJPEG方式で圧縮し、記録媒体30に記録する。

【0036】図5は、本発明の第2実施例の概略構成ブロック図を示す。図1と同じ構成要素には、同じ符号を付してある。図5に示す実施例では、セレクタ24と圧縮回路26の間に、リサイズ回路90と、リサイズ回路90を使用するか否かを選択するセレクタ92を挿入した。その他の構成は図1に示す実施例と同じである。

【0037】リサイズ回路90は、入力画像を任意のサイズに拡大縮小する回路である。例えば、分割処理の都合上サムネイル作成回路22の出力画像が水平160×垂直120ライン以外のサイズになった場合、リサイズ回路90が、サムネイル作成回路22により作成された画像を、水平160画素×垂直120ラインの縮定のサイズにリサイズする。

【0038】圧縮回路26でのJPEG圧縮処理には水平16画素×垂直8ライン単位の分割処理が適しており、これに合わせて、分割処理の1ブロックの垂直ライン数を8ライン単位としている。この場合、図6に示す

ように、全画像データが水平1600画素、垂直1200ライン、画像の分割が水平4分割、垂直150分割になるので、分割処理水平画素数Hは、

$$H = 1600 / 4 \\ = 400$$

となり、分割処理垂直ライン数Vは、

$$V = 1200 / 150 \\ = 8$$

となる。

【0039】この分割単位で、第1実施例と同様の分割処理を行なうと、DRAM16上には水平160画素×垂直150ラインのYUVサムネイル画像データが格納される。このサムネイル画像データをDRAMインターフェース18で読み出し、セレクタ24を介してリサイズ回路90を入力する。リサイズ回路90は、垂直150ラインを120ラインに縮小して、セレクタ92に出力する。セレクタ92は、リサイズ回路90の出力を選択して圧縮回路26に供給する。圧縮回路26は、第1実施例の場合と同様に、水平160画素×垂直120ラインのサムネイル画像をJPEG方式で圧縮し、記録媒体30に記録する。

【0040】本発明は、複数の機器から構成されるシステムに適用しても、一つの機器からなる装置に適用してもよい。

【0041】また、上述した実施例の機能を表現するように各図のデバイスを動作させるべく当該各種デバイスと接続された装置又はシステム内のコンピュータに、上記実施例の機能を再現するためのソフトウェアのプログラムコードを供給し、その装置又はシステムのコンピュータ(CPU又はMPU)を、格納されたプログラムに従って前記各種デバイスを動作させることによって実施したものも、本発明の範囲に含まれる。

【0042】この場合、前記ソフトウェアのプログラムコード自体が、前述した実施例の機能を再現することになり、そのプログラムコード自体、及びそのプログラムコードをコンピュータに供給するための手段、例えば、かかるプログラムコードを格納した記憶媒体は、本発明を構成する。かかるプログラムコードを格納する記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、磁気テープ、不揮発性のメモリカード及びROM等を用いることが出来る。

【0043】また、コンピュータが供給されたプログラムコードを実行することにより、前述の実施例の機能が実現されるだけでなく、そのプログラムコードがコンピュータにおいて稼働しているOS(オペレーティングシステム)又は他のアプリケーションソフトウェア等と共同して上述の実施例の機能が実現される場合にも、かかるプログラムコードが本出願に係る発明の実施例に含まれることは言うまでもない。

【0044】更には、供給されたプログラムコードが、コンピュータの機能拡張ボード又はコンピュータに接続された機能拡張ユニットに備わるメモリに格納された後、そのプログラムコードの指示に基づいて、その機能拡張ボード又は機能拡張ユニットに備わるCPU等が実際の処理の一部または全部を行い、その処理によって上述した実施例の機能が実現される場合も、本出願に係る発明に含まれることは言うまでもない。

【0045】

【発明の効果】以上の説明から容易に理解できるように、本発明によれば、カメラ信号処理に続いて、圧縮記録回路とサムネイル画像の作成を同時に実行できるので、撮影時の処理時間を大幅に短縮でき、送写性能及び撮影タイムラグを大幅に改善できる。メモリ上に原画像を保持する時間が短くなるので、メモリ上に原画像データを格納するバースト連写の枚数を増やすことができる。

【0046】サムネイル画像を作成するのに積分回路を用いるので、小さな回路で折り返しノイズの発生しない綺麗なサムネイル画像を作成できる。原画像を複数に分割して処理を行なうことにより、積分回路で使用する高価な記憶装置(例えば、SRAM)等の容量も小さく削減できるので、大幅なコストダウンが可能になる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の概略構成ブロック図である。

【図2】 サムネイル作成回路22の概略構成ブロック図である。

【図3】 平均化回路52の概略構成ブロック図である。

【図4】 分割処理での主画像とサムネイル画像の分割の様子を示す模式図である。

【図5】 本発明の第2実施例の概略構成ブロック図である。

【図6】 第2実施例における分割処理での主画像とサムネイル画像の分割の様子を示す模式図である。

【符号の説明】

10：撮影レンズ

12：撮像素子

14：A/D変換器

16：DRAM

18：DRAMインターフェース

20：信号処理回路

22：サムネイル作成回路

24：セレクタ

26：圧縮回路

28：バッファメモリ

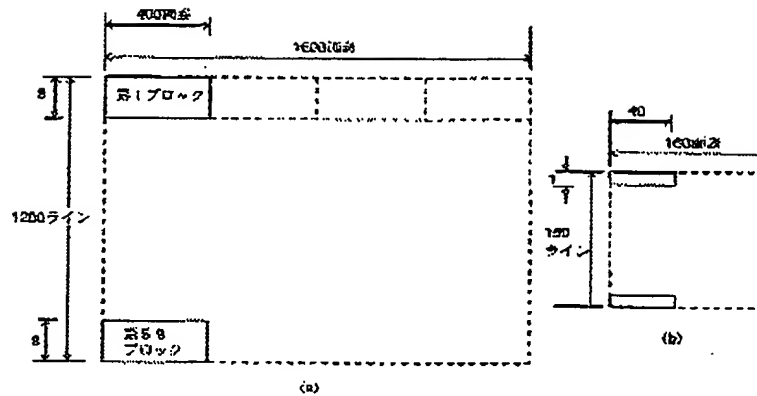
30：記録媒体

40：加算器

42：ラッチ回路

- * 66: 平均化回路
- 70: 入力端子
- 72, 74, 76, 78: リミッタ
- 80: セレクタ
- 82: Sel_Regレジスタ
- 84: 乗算器
- 86: Gain_Regレジスタ
- 88: 出力端子
- 90: リサイズ回路
- 92: セレクタ

【図6】



フロントページの続き

F ターム(参考) SC022 AA13 AC12 AC42 AC54 AC59
 SC053 FA05 FA06 FA08 FA27 GA11
 GB07 GB36 HA30 KA04 KA05
 KA08 KA09 KA12 KA22 KA25
 LA01
 SC059 KK08 KK38 LA01 MA00 PP01
 PP16 SS15 SS20 UA12 UA39

PATENT ABSTRACTS OF JAPAN

(5)

(11)Publication number : 2001-069465
(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H04N 5/92
H04N 5/225
H04N 5/91
H04N 7/24

(21)Application number : 11-240905
(22)Date of filing : 27.08.1999

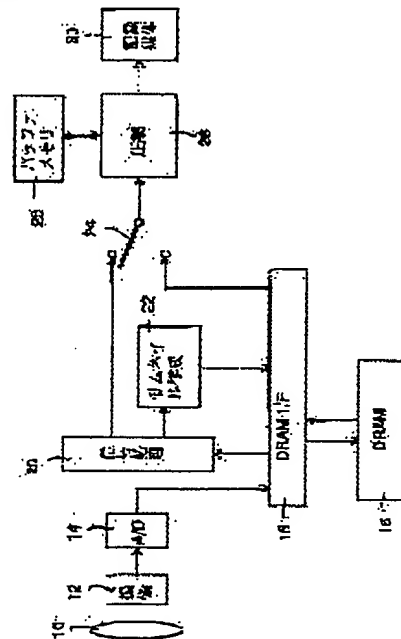
(71)Applicant : CANON INC
(72)Inventor : HONMA YOSHIHIRO

(54) IMAGE PROCESSOR, IMAGE PROCESSING METHOD AND STORAGE MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly generate beautiful thumbnail pictures.

SOLUTION: An image pickup element 2 of this image processor converts an optical image on a photographing lens 10 into an electric signal, and an A/D converter 14 converts an output of the image pickup device 12 into a digital signal. Output data (original picture data) of the A/D converter 14 are temporarily stored in a DRAM 16. A signal processing circuit 20 applies camera signal processing to the original image data to generate luminance data and color difference data. A thumbnail generating circuit 22 integrates outputs of the character 20 in horizontal and vertical directions to generate thumbnail pictures. The DRAM 16 stores the thumbnail pictures. A switch 24 first selects the output of the signal processing circuit 20 to be given to a compression circuit 26 and then selects the thumbnail pictures from the DRAM 16 to be given to the compression circuit 26. The compression circuit 26 compresses the received image data in compliance with the JPEG system and records the compressed data into recording medium 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

1/8

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An image data input means to input image data, and a signal-processing means to perform predetermined signal processing to the image data inputted by the image data input means concerned. A contraction image generation means to generate and store temporarily the contraction image data reduced to predetermined size from the output image of the signal-processing means concerned. The image processing system characterized by having the control means which operates a picture compression means to compress the given image data, and the contraction image generation means concerned and the compression means concerned, in parallel.

[Claim 2] The image processing system according to claim 1 with which the image data input means concerned consists of a storage means to memorize image data, and a read-out means to read in order the image data concerned memorized by the storage means concerned per block of predetermined size, and to supply it to the signal-processing means concerned.

[Claim 3] The image processing system possessing the integral means with which the contraction image generation means concerned integrates covering the vertical number of predetermined Rhine while integrating with the output image of the signal-processing means concerned covering the horizontal number of predetermined pixels according to claim 1.

[Claim 4] The image processing system according to claim 1 with which the image data input means concerned possesses an image pick-up means to change an optical image into an electrical signal, an A/D-conversion means to change the analog output of the image pick-up means concerned into a digital signal, and a memory means to store temporarily the output data of the A/D converter concerned.

[Claim 5] The image-processing approach characterized by to consist of the signal-processing step which performs predetermined signal processing to input image data, the contraction image generation step which generates the contraction image data reduced to predetermined size from the image data based on the signal-processing step concerned, and is stored temporarily, a compression step which carries out picture compression of the image data based on the signal-processing step concerned, and a control step which operate the contraction image generation step concerned and the compression step concerned to coincidence.

[Claim 6] Furthermore, the image-processing approach according to claim 5 of providing the image supply step which reads in order the image data memorized by the storage means per block of predetermined size, and makes it the input image data concerned of the signal-processing step concerned.

[Claim 7] The image-processing approach according to claim 5 of providing the integral step with which it integrates covering the vertical number of predetermined Rhine while the contraction image generation step concerned integrates with the image data based on the signal-processing step concerned covering the horizontal number of predetermined pixels.

[Claim 8] Furthermore, the image-processing approach according to claim 5 of providing the image pick-up step which changes an optical image into an electrical signal, the A/D-conversion step which changes into a digital signal the analog picture signal acquired by the image pick-up step concerned, and the storage step which stores temporarily the image data based on the A/D-conversion step concerned in memory, and is made into the input image data concerned of the signal-processing step concerned.

[Claim 9] The storage which carries out [memorizing the program software which performs the image-processing approach which consists of the signal-processing step which performs predetermined signal processing to input image data, the contraction image generation step which generate the contraction image data which reduced from the image data based on the signal-processing step concerned to predetermined size, and store temporarily, a compression step which carry out the picture compression of the image data based on the signal-processing step concerned, and a control step which operate the contraction image generation step concerned and the compression step concerned to coincidence, and] as the description.

[Claim 10] The storage possessing the image supply step to which the image-processing approach concerned reads in order the image data memorized by the storage means per block of predetermined size, and makes it further the input image data concerned of the signal-processing step concerned according to claim 9.

[Claim 11] The storage according to claim 9 which possesses the integral step with which it integrates covering the vertical number of predetermined Rhine while the contraction image generation step concerned integrates with the image data based on the signal-processing step concerned covering the horizontal number of predetermined pixels.

[Claim 12] An image data input means to input image data, and a signal-processing means to perform predetermined signal processing to the image data inputted by the image data input means concerned. A contraction image generation means to generate and store temporarily the contraction image data reduced to predetermined size from the output image of the signal-processing means concerned. A selection means to choose either the output image of the signal-processing means concerned, or the output image of the contraction image generation means concerned. A picture compression means to compress the image data chosen by the selection means concerned. The image processing system characterized by consisting of a record medium which records the output of the picture compression means concerned, and recording the compression image data of the output image of the signal-processing means concerned, and the compression image data of the contraction image generated by the contraction image generation means concerned on the record medium concerned.

[Claim 13] The image processing system according to claim 12 with which the image data input means concerned consists of a storage means to memorize image data, and a read-out means to read in order the image data concerned memorized by the storage means concerned per block of predetermined size, and to supply it to the signal-processing means concerned.

[Claim 14] The image processing system possessing the integral means with which the contraction image generation means

2/8

concerned integrates covering the vertical number of predetermined Rhine while integrating with the output image of the signal-processing means concerned covering the horizontal number of predetermined pixels according to claim 12.

[Claim 15] The image processing system according to claim 12 with which the image data input means concerned possesses an image pick-up means to change an optical image into an electrical signal, an A/D-conversion means to change the analog output of the image pick-up means concerned into a digital signal, and a memory means to store temporarily the output data of the A/D converter concerned.

[Claim 16] The signal-processing step which performs predetermined signal processing to input image data, and the contraction image generation step which generates and stores temporarily the contraction image data reduced to predetermined size from the image data based on the signal-processing step concerned, The 1st compression step which carries out picture compression of the image data based on the signal-processing step concerned, The image-processing approach characterized by consisting of the 2nd compression step which carries out picture compression of the contraction image data based on the contraction image generation step concerned, and a record step which records the image data compressed at the 1st and 2nd compression steps concerned on a record medium.

[Claim 17] Furthermore, the image-processing approach according to claim 16 of providing the image supply step which reads in order the image data memorized by the storage means per block of predetermined size, and makes it the input image data concerned of the signal-processing step concerned.

[Claim 18] The image-processing approach according to claim 16 of providing the integral step with which it integrates covering the vertical number of predetermined Rhine while the contraction image generation step concerned integrates with the image data based on the signal-processing step concerned covering the horizontal number of predetermined pixels.

[Claim 19] Furthermore, the image-processing approach according to claim 16 of providing the image pick-up step which changes an optical image into an electrical signal, the A/D-conversion step which changes into a digital signal the analog picture signal acquired by the image pick-up step concerned, and the storage step which stores temporarily the image data based on the A/D-conversion step concerned in memory, and is made into the input image data concerned of the signal-processing step concerned.

[Claim 20] The signal-processing step which performs predetermined signal processing to input image data, and the contraction image generation step which generates and stores temporarily the contraction image data reduced to predetermined size from the image data based on the signal-processing step concerned, The 1st compression step which carries out picture compression of the image data based on the signal-processing step concerned, The 2nd compression step which carries out picture compression of the contraction image data based on the contraction image generation step concerned, The storage characterized by memorizing the program software which performs the image-processing approach which consists of a record step which records the image data compressed at the 1st and 2nd compression steps concerned on a record medium.

[Claim 21] The storage possessing the image supply step to which the image-processing approach concerned reads in order the image data memorized by the storage means per block of predetermined size, and makes it further the input image data concerned of the signal-processing step concerned according to claim 20.

[Claim 22] The storage according to claim 20 which possesses the integral step with which it integrates covering the vertical number of predetermined Rhine while the contraction image generation step concerned integrates with the image data based on the signal-processing step concerned covering the horizontal number of predetermined pixels.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to a storage at the image processing system and approach list which create the thumbnail image while compressing the main image into an image processing system and an approach list about a storage.

[0002]

[Description of the Prior Art] The JPEG method is learned as a compression method of image data. The JPEG method is adopted with many digital still cameras. a JPEG method — image data — the block of predetermined size — dividing — the block unit — a discrete cosine transform and quantization — and variable length coding is carried out.

[0003] It is necessary to carry out compression record of the thumbnail image together with the main image of photography drawing on the file format of a digital still camera. For this reason, in the former, after compression record of the main image, a thumbnail image is created and compression record is carried out. For creation of a thumbnail image, the main image data is read from memory, and the data which carried out camera signal processing of it are again written in memory.

[0004]

[Problem(s) to be Solved by the Invention] In the conventional example, there is a trouble that the time amount from photography initiation to the completion of record becomes long, by this writing and read-out. Consequently, the time lag of photography becomes long and the number of coma of continuous shooting decreases.

[0005] Moreover, since it thinned out sharply in resizing and the thumbnail image was created, it was difficult for a clinch noise to occur and to obtain a beautiful thumbnail image. In order to create a beautiful thumbnail image, digital one LPF with many degrees (low pass filter) is needed, but if it realizes such digital one LPF by hardware, a circuit scale will become large very much, and if software realizes, it will take long time amount.

[0006] This invention solves such a trouble and aims at showing the image processing system and approach list which create a thumbnail image more quickly a storage.

[0007] This invention aims at showing the image processing system and approach list which create a beautiful thumbnail image more quickly again a storage.

[0008]

[Means for Solving the Problem] An image data input means by which the image processing system concerning this invention inputs image data. A signal-processing means to perform predetermined signal processing to the image data inputted by the image data input means concerned. A contraction image generation means to generate and store temporarily the contraction image data reduced to predetermined size from the output image of the signal-processing means concerned. It is characterized by having the control means which operates a picture compression means to compress the given image data, and the contraction image generation means concerned and the compression means concerned, in parallel.

[0009] The image-processing approach concerning this invention is characterized by to consist of the signal-processing step which performs predetermined signal processing to input image data, the contraction image generation step which generates the contraction image data reduced to predetermined size from the image data based on the signal-processing step concerned, and store temporarily, a compression step which carry out the picture compression of the image data based on the signal-processing step concerned, and a control step which operate the contraction image generation step concerned and the compression step concerned to coincidence.

[0010] An image data input means by which the image processing system concerning this invention inputs image data. A signal-processing means to perform predetermined signal processing to the image data inputted by the image data input means concerned. A contraction image generation means to generate and store temporarily the contraction image data reduced to predetermined size from the output image of the signal-processing means concerned. A selection means to choose either the output image of the signal-processing means concerned, or the output image of the contraction image generation means concerned. A picture compression means to compress the image data chosen by the selection means concerned. It consists of a record medium which records the output of the picture compression means concerned, and is characterized by recording the compression image data of the output image of the signal-processing means concerned, and the compression image data of the contraction image generated by the contraction image generation means concerned on the record medium concerned.

[0011] The signal-processing step at which the image-processing approach concerning this invention performs predetermined signal processing to input image data. The contraction image generation step which generates and stores temporarily the contraction image data reduced to predetermined size from the image data based on the signal-processing step concerned. The 1st compression step which carries out picture compression of the image data based on the signal-processing step concerned. It is characterized by consisting of the 2nd compression step which carries out picture compression of the contraction image data based on the contraction image generation step concerned, and a record step which records the image data compressed at the 1st and 2nd compression steps concerned on a record medium.

[0012] The program software which performs the above-mentioned image-processing approach is stored in the storage concerning this invention.

[0013]

[Example] Hereafter, the example of this invention is explained to a detail with reference to a drawing.

[0014] Drawing 1 shows the outline configuration block Fig. of one example of this invention. The image sensor which changes the

4/8

optical image [according / 12 / to a taking lens 10] according [10] to a taking lens into an electrical signal, and 14 are A/D converters which change into a digital signal the analog picture signal outputted from an image sensor 12.

[0015] The DRAM interface reading, and whose DRAM which stores temporarily the image data to which 16 is outputted from A/D converter 14, and thumbnail image data and 18 write data to DRAM16, and 20 are digital disposal circuits which perform camera signal processing to the output image data of A/D converter 14 which was stored temporarily at DRAM16 and read with the DRAM interface 18. That is, a digital disposal circuit 20 generates the color difference data U and V by color interpolation, matrix conversion, gamma processing, a gain adjustment, etc. while generating the brightness data Y by the color carrier removal from the image data read from DRAM16, aperture correction, gamma processing, etc.

[0016] 22 is a thumbnail creation circuit which resizes carrying out two-dimensional filtering of the image data (the main image data) which is outputted from a digital disposal circuit 20, and by which camera signal processing was carried out, and creates a thumbnail image. The temporary storage of the thumbnail image created by the thumbnail creation circuit 22 is carried out to DRAM16 with the DRAM interface 18, it is read, and is supplied to the B contact of a selector 24. The main image data outputted from a digital disposal circuit 20 is impressed to A contact of a selector 24.

[0017] It is the buffer memory used for the compression circuit where 26 compresses image data by the JPEG method, and 28 changing image data from the order of a raster in order of a block as pretreatment of the picture compression by the compression circuit 26. The capacity of buffer memory 28 is needed by the number of level pixels of the image data for compression. Since carry out the temporary storage of the photography image data to DRAM16, it is divided into it, is read to it and camera signal processing by the digital disposal circuit 20 and compression by the compression circuit 26 are performed, the capacity of buffer memory 28 is small and can be managed with this example. Such a compression approach is indicated by Japanese Patent Application No. No. 6011 [ten to]. 30 is a record medium which records the image data (the main image data and thumbnail image data) compressed by the compression circuit 26, for example, consists of a CF (CompactFlash) card, a PC card, etc.

[0018] For example, when the number of pixels of the photography image by the image sensor 12 is 2 million-pixel order, the general buffer capacity which is needed for a raster / block conversion can be found in the following formulas. $Y:U:V=4:2:2$, and the brightness and the color difference of YUV, respectively 8 bits, [image data] [the component rate of 1600 pixels of horizontals, the perpendicular of 1200 lines, and a JPEG method] When division of an image is level quadrisection and perpendicular 12 division, the horizontal number H_a of pixels of one division The number V_a of pixels of the perpendicular direction of $H_a=1600 / 4=4001$ division is set to $V_a=1200 / 12=100$, and is buffer capacity Q required for a raster / block conversion. $Q=V_a \times H_a$ (number of bits of Y) (10 (number of bits of UV))
 $= 100 \times 400 \times 16 \text{ bits} = 640000 \text{ bits} = \text{it becomes } 80 \text{ K bytes.}$

[0019] Drawing 2 shows the outline configuration block Fig. of the thumbnail creation circuit 22, two lines, the object for brightness components, and the object for color difference components, -- it is . The object for brightness components is explained first. The adder for the level pixel integral of the brightness data Y in 40 and 42 are latch circuits (D flip-flop) which store the output data of an adder 40 temporarily. A latch circuit 42 outputs the data in front of 1 pixel, whenever horizontal 1 pixel is inputted. An adder 40 adds the output of a latch circuit 42 to input data, and impresses an addition result to a latch circuit 42. An adder 40 and a latch circuit 42 constitute a horizontal accumulator.

[0020] As mentioned above, if Y and UV are horizontally integrated with 10 pixels of YUV output data of the camera digital disposal circuit 20 for 2 million-pixel image data separately in the field of ten lines perpendicularly when dividing perpendicular 12 and carrying out camera signal processing, level quadrisection and, the thumbnail image of the 160 pixel x perpendicular of 120 lines of horizontals can be created.

[0021] 44 -- the 13-bit output data of a latch circuit 42 -- 6 bits, 5 bits, 4 bits, and a triplet -- it is the data bit selector chosen according to set point B_SEL of a register 46 for any of the data which each carried out the right shift they are. That is, the right shift only of the amount of bits of a request of the output data of a latch circuit 42 is carried out by the data bit selector 44. That is, the division of the accumulation result by the adder 40 and the latch circuit 42 is done by the exponentiation of 2, thereby, the bit width of face of the integrating circuit of the direction of Rhine is reduced, and the scales of the whole integrating circuit are reduced appropriately.

[0022] An adder 48 and the perpendicular delay circuit 50 are perpendicular, and carry out accumulation of the output data of the data bit selector 44. That is, an adder 48 adds the output data of the perpendicular delay circuit 50 to the output data of the data bit selector 44, and supplies an addition result to the perpendicular delay circuit 50. The perpendicular delay circuit 50 consists of the delay line for one line. The equalization circuit 52 outputs Y component of the thumbnail image of the same gradation (bit width of face) as a division and an input image for the output of the perpendicular delay circuit 50 with the number of integral pixels.

[0023] The circuitry of UV component is fundamentally the same as the object for Y components. However, in horizontal accumulation, two latch circuits 56 and 58 are connected serially, and an adder 54 adds the output of the latch circuit 58 by the side of the latter part to an input, and impresses it to a latch circuit 56. The latch circuit 56, 58 as well as a latch circuit 42 outputs the data in front of 1 pixel, whenever horizontal 1 pixel is inputted. Since U component and V component carry out alternation of the UV component at intervals of a pixel, it connects a level latch circuit to two-piece series, and integrates with U component and V component separately.

[0024] The data bit selector 60 carries out the right bit shift only of the predetermined number of bits of the output data of a latch circuit 58 like the data bit selector 44 according to the set point of a register 46. It operates like an adder 48 and the perpendicular delay circuit 50, and an adder 62 and the perpendicular delay circuit 64 are perpendicular, and carry out accumulation of the output data of the data bit selector 60. The equalization circuit 66 outputs UV component of the thumbnail image of the same gradation (bit width of face) as a division and an input image for the output of the perpendicular delay circuit 64 with the number of integral pixels.

[0025] The division of the equalization circuits 52 and 66 is realized in the right bit shift of the exponentiation of 2, and the combination of the decimal multiplication to 0 to 1 time. Thereby, a circuit can be made small. Drawing 3 shows the outline configuration block Fig. of the equalization circuit 52. The configuration of the equalization circuit 66 is the same as the equalization circuit 52.

[0026] The output data of the perpendicular delay circuit 50 input into an input terminal 70. The input terminal 70 has 12-bit width of face so that the integral data in the preceding paragraph may not overflow. A limiter 72 extracts the bits b10-b3 of the 12 bits (b11-b0) data from an input terminal 70, and when a bit b11 is '1', it outputs FFh. A limiter circuit 74 extracts the bits b9-b2 of the 12 bits (b11-b0) data from an input terminal 70, and when a bit b11 or b10 is '1', it outputs FFh. A limiter circuit 76

extracts the bits b8-b1 of the 12 bits (b11-b0) data from an input terminal 70, and when bits b11 and b10 or b9 is '1', it outputs FFh. A limiter circuit 78 extracts the bits b7-b0 of the 12 bits (b11-b0) data from an input terminal 70, and when bits b11, b10, and b9 or b8 is '1', it outputs FFh.

[0027] A selector 80 chooses the input data of Contacts 80a-80e according to set point Sel_Reg of a register 82. The bits b11-b4 of the 12 bits (b11-b0) data from an input terminal 70 input into contact 80a. The output data of limiters 72-78 input into Contacts 80b-80e, respectively. For example, a selector 80 chooses contact 80e at the time of sel_reg="000". At this time, it becomes the output of actual size to an input. At the time of sel_reg="001", a selector 80 chooses 80d of contacts. At this time, it becomes a 1/2 twice as many output as this to an input. At the time of sel_reg="010", a selector 80 chooses contact 80c. At this time, it becomes one 1/4 time the output of this to an input. At the time of sel_reg="011", a selector 80 chooses contact 80b. At this time, it becomes one 1/8 time the output of this to an input. At the time of sel_reg="100", a selector 80 chooses contact 80a. At this time, it becomes one 1/16 time the output of this to an input.

[0028] After carrying out the multiplication of set point Gain_reg of a register 86 to the output of a selector 80, the 7-bit right shift of the multiplier 84 is carried out. Gain_reg is 8 bits and can perform the multiplication from 1 to twice to the output data of a selector 80 in the twice [1 time to] as many range as this by the multiplication and 7-bit right shift of Gain_reg. The output data of a multiplier 84 are outputted outside from an output terminal 88.

[0029] The equalization circuit 52 and the example of actuation of 66 are explained. Since it integrates with 10 pixels horizontally when [each] one side creates the thumbnail image reduced to 1/10, "11" is set as the B_SEL register 46 and 1/8 data are made to choose it as selectors 44 and 60. The output of data selectors 44 and 60 increases 10/8 1-pixel time. Since it integrates with ten lines at a time perpendicularly, it is set as sel_reg="100" and an output is made to choose it as a data selector 80 1/16 time. It increases 10/16 time now. In this phase, it becomes 100/128 (25/32) twice 1 pixel. Gain_reg = as 'A4h' — a multiplier 84 — the output of a data selector 70 — it doubles 32/25 (1.28). By the above equalization, the image data outputted from an output terminal 88 becomes the thumbnail image of the same gradation (bit width of face) as the input image of the thumbnail creation circuit 22.

[0030] It returns to drawing 1 and actuation is explained. The output of the thumbnail creation circuit 22 is written in DRAM16 through the DRAM interface 18. A selector 24 chooses the output of a digital disposal circuit 20, when compressing the main image data in which camera signal processing was carried out by the digital disposal circuit 20, and when compressing a thumbnail image, it chooses the data (thumbnail image data) from the DRAM interface 18.

[0031] With reference to drawing 4, the actuation at the time of division processing is explained. Drawing 4 shows the mimetic diagram of the thumbnail image creation in division processing. Drawing 4 (a) shows the division Fig. level quadrisection and at the time of dividing perpendicular 12 from a whole image, and ** (b) shows the division Fig. in the case of creating thumbnail drawing by the same division processing.

[0032] As mentioned above, subject-copy image data (output image data of A/D converter 14) are 1600 pixels of horizontals, and the perpendicular of 1200 lines, and quadrisection and when dividing 12 perpendicularly and processing, the unit of 1 division processing becomes the 400 pixel x perpendicular of 100 lines of horizontals horizontally. Subject-copy image data are read from DRAM16 in the unit of this division processing, and it is impressed by the signal-processing section circuit 20. A digital disposal circuit 20 changes this input image data into the YUV image data of Y:U:V=4:2:2. YUV image data is chosen by the selector 24, is compressed by the compression circuit 26 by the JPEG method, and is recorded on a record medium 30.

[0033] The YUV image data generated by the digital disposal circuit 20 is impressed also to the thumbnail creation circuit 22. As shown in drawing 4 (a), when reading subject-copy image data from DRAM16 and supplying a digital disposal circuit 20, a division unit becomes the level 400-pixel x perpendicular of 100 lines, and 48 blocks of them exist on one screen. Since it integrates with the input YUV image of ten lines of the horizontal 400x perpendicular of 100 lines at a time and 10 pixels of thumbnail creation circuits 22 equalize it at a time perpendicularly horizontally, they output the YUV image data of the 40 pixel x perpendicular of ten lines of horizontals. This YUV image data is written in DRAM16 with the DRAM interface 16.

[0034] As the order of processing of a division block is shown in drawing 4 (a), the left topmost part becomes the first processing block, continues, and the topmost right-hand becomes the 2nd processing block. Furthermore, right-hand becomes the 3rd block continuously and the right-hand becomes the 4th block. Since 4 blocks exist horizontally, as for a degree, the leftmost part under one becomes the 5th block. Henceforth, it processes horizontally and processing is advanced to the block of a lower left end at the degree of a right end block. Since image data inputs also into the thumbnail creation circuit 22 in order of this block and the thumbnail image is created, on DRAM16, 4 blocks is horizontally written in at a time sequentially from the upper left. When processing of all blocks is completed, on DRAM16, the thumbnail YUV image data of the level 160-pixel x perpendicular of 120 lines as shown in drawing 4 (b) is stored.

[0035] After compression record of the main image data is completed, a selector 24 is switched to the DRAM interface 18 side, and thumbnail image data is read from DRAM16. The compression circuit 26 compresses the thumbnail image data from a selector 24 by the JPEG method, and records it on a record medium 30.

[0036] Drawing 5 shows the outline configuration block Fig. of the 2nd example of this invention. The same sign is given to the same component as drawing 1. In the example shown in drawing 5, the selector 92 which chooses whether the resizing circuit 90 and the resizing circuit 90 are used between a selector 24 and the compression circuit 26 was inserted. Other configurations are the same as the example shown in drawing 1.

[0037] The resizing circuit 90 is a circuit which carries out enlarging or contracting of the input image to the size of arbitration. For example, when the output image of the thumbnail creation circuit 22 becomes sizes other than the horizontal 160x perpendicular of 120 lines on account of division processing, the resizing circuit 90 resizes the image created by the thumbnail creation circuit 22 in the size of a convention of the 160 pixel x perpendicular of 120 lines of horizontals.

[0038] Division processing of the 16 pixel x perpendicular the unit of eight lines of horizontals is suitable for JPEG compression processing in the compression circuit 26, and the number of vertical lines of 1 block of division processing is made into the eight-line unit according to this. In this case, as shown in drawing 6, all image data is level — division of 1600 pixels, the perpendicular of 1200 lines, and an image — level quadrisection and a perpendicular — since it becomes comparatively for 150 minutes, the number Ha of division treated water Taira pixels is set to $H_a = 1600 / 4 = 400$, and the number Va of division processing vertical lines is set to $V_a = 1200 / 150 = 8$.

[0039] When the same division processing as the 1st example is performed in this division unit, on DRAM16, the YUV thumbnail image data of the 160 pixel x perpendicular of 150 lines of horizontals is stored. This thumbnail image data is read with the DRAM interface 18, and it inputs into the resizing circuit 90 through a selector 24. The resizing circuit 90 reduces the perpendicular of 150 lines to 120 lines, and outputs it to a selector 92. A selector 92 chooses the output of the resizing circuit 90, and supplies it

to the compression circuit 26. Like the case of the 1st example, the compression circuit 26 compresses the thumbnail image of the level 160-pixel x perpendicular of 120 lines by the JPEG method, and records it on a record medium 30.

[0040] Even if it applies this invention to the system which consists of two or more devices, it may be applied to the equipment which consists of one device.

[0041] Moreover, the program code of the software for realizing the function of the above-mentioned example supplies to the computer in the equipment connected with the various devices concerned, or a system, and what carried out by operating said various devices according to the program in which the computer (CPU or MPU) of the equipment or a system was stored is contained in it in the range of the invention in this application in order operating various kinds of devices so that the function of the example mentioned above may realize.

[0042] In this case, the storage which stored the means, for example, this program code, for the program code of said software itself to realize the function of the example mentioned above, and supply that program code itself and its program code to a computer constitutes this invention. As a storage which stores this program code, a memory card, ROM, etc. of a floppy disk, a hard disk, an optical disk, a magneto-optic disk, CD-ROM, a magnetic tape, and a non-volatile can be used, for example.

[0043] Moreover, also when the function of the above-mentioned example is not only realized by performing the program code with which the computer was supplied, but the function of an above-mentioned example is realized in collaboration with OS

(operating system) or other application software etc. to which the program code is working in a computer, it cannot be overemphasized that it is contained in the example of invention which requires this program code for this application.

[0044] Furthermore, also when the function of the example which the CPU with which the functional add-in board or a functional expansion unit is equipped performed a part or all of actual processing, and mentioned above by the processing is realized based on directions of the program code after the supplied program code is stored in the memory with which the functional expansion unit connected to the functional add-in board of a computer or the computer is equipped, it is needless to say in being contained in invention concerning this application.

[0045]

[Effect of the Invention] Since creation of compression record processing and a thumbnail image can be performed to coincidence following camera signal processing according to this invention so that he can understand easily from the above explanation, the processing time at the time of photography can be shortened sharply, and the snapshot engine performance and photography time lag can be improved sharply. Since the time amount which holds a subject-copy image on memory becomes short, the number of sheets of burst continuous shooting which stores subject-copy image data on memory can be increased.

[0046] Since an integrating circuit is used for creating a thumbnail image, the beautiful thumbnail image which a noise does not generate by return in a small circuit can be created. Since the capacity of the high-speed storage (for example, SRAM) used by developing negatives by dividing a subject-copy image into plurality in an integrating circuit is also small reducible, a large cost cut is attained.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline configuration block Fig. of the 1st example of this invention.

[Drawing 2] It is the outline configuration block Fig. of the thumbnail creation circuit 22.

[Drawing 3] It is the outline configuration block Fig. of the equalization circuit 52.

[Drawing 4] It is the mimetic diagram showing the situation of division of the main image in division processing, and a thumbnail image.

[Drawing 5] It is the outline configuration block Fig. of the 2nd example of this invention.

[Drawing 6] It is the mimetic diagram showing the situation of division of the main image in division processing, and a thumbnail image in the 2nd example.

[Description of Notations]

10: Taking lens

12: Image sensor

14: A/D converter

16: DRAM

18: DRAM interface

20: Digital disposal circuit

22: Thumbnail creation circuit

24: Selector

26: Compression circuit

28: Buffer memory

30: Record medium

40: Adder

42: Latch circuit

44: Data bit selector

46: Register

48: Adder

50: Perpendicular delay circuit

52: Equalization circuit

54: Adder

56 58: Latch circuit

60: Data bit selector

62: Adder

64: Perpendicular delay circuit

66: Equalization circuit

70: Input terminal

72, 74, 76, 78: Limiter

80: Selector

82: Sel_Reg register

84: Multiplier

86: Gain_Reg register

88: Output terminal

90: Resizing circuit

92: Selector

[Translation done.]